

ABSTRACT

(Korean Patent Application Laid-open No. 2000-65984)

The present invention relates to a trench isolation method  
5 of a semiconductor device. According to the present invention,  
the aspect ratio of the trench decreases by forming an insulating  
film inside of the trench temporarily, after forming the trench  
for isolation in a predetermined area of a semiconductor  
substrate. The inside of the trench, of which the aspect ratio  
10 is decreased, is filled up with another insulating film,  
completing trench isolation. As a result, occurrences of pore  
or dent phenomena in the trench isolation are prevented, and  
trench isolation characteristics improve.

(19)대한민국특허청(KR)  
(12) 공개특허공보(A)(51) Int. Cl. 6  
H01L 21/762(11) 공개번호 특2000-0065984  
(43) 공개일자 2000년11월15일(21) 출원번호 10-1999-0012791  
(22) 출원일자 1999년04월12일(71) 출원인 삼성전자 주식회사 윤종용  
경기도 수원시 팔달구 매탄3동 416  
(72) 발명자 이송재  
경기도 수원시 권선구 권선동1240번지현대아파트208-1501  
이수근  
경기도 화성군 태안읍 병절리 주공아파트113동802호  
서태욱  
경기도 수원시 권선구 권선동 벽산아파트401-804  
(74) 대리인 이견주  
심사청구: 없음

## (54) 반도체 장치의 트렌치 소자분리 방법

## 요약

본 발명은 반도체 장치의 트렌치 소자분리 방법에 관한 것이다. 본 발명에 따르면, 반도체 기판의 소정영역에 소자분리층 제조하기 위한 트렌치를 형성한 뒤, 상기 트렌치 내부에 1차적으로 절연막을 형성시켜 트렌치의 증착비율 감소시킨다. 그리고 나서, 상기 증착비가 감소된 트렌치 내부에 2차적으로 절연막을 증진하여 트렌치 소자분리층 완성하므로 트렌치 소자분리 내부에 기공 또는 패임현상이 발생하는 것을 방지하여 트렌치 소자분리의 특성을 향상시키게 된다.

## 대표도

도2d

## 색인어

반도체 장치, 트렌치 소자분리, 증착비, 기공, 패임현상

## 명세서

## 도면의 간단한 설명

도 1a 내지 도 1c는 종래 방법에 의한 반도체 장치의 트렌치 소자분리 방법을 설명하기 위한 단면도들이다.

도 2a 내지 도 2d는 본 발명의 실시예에 따른 트렌치 소자분리 방법을 설명하기 위한 단면도들이다.

## 발명의 상세한 설명

## 발명의 목적

## 발명이 속하는 기술 및 그 분야 종래기술

본 발명은 반도체 장치의 제조 방법에 관한 것으로, 특히 얇은 트렌치 소자분리(Shallow Trench Isolation: 이하 "STI"라 함) 방법에 관한 것이다.

반도체 장치에서는 통상적으로 반도체 기판 상부에 형성된 트랜지스터, 다이오드 및 저항등의 여러가지 소자영역들을 전기적으로 분리하기 위해 소자분리막을 형성한다. 이러한 소자분리막 형성공정은 모든 반도체 제조 공정 단계에 있어서 초기 단계의 공정으로서, 액티브 영역의 사이즈 및 후속 제조 공정에서의 공정 마진을 좌우하게 된다.

FS 入力 濟

이러한 소자분리막 형성하기 위한 방법으로는 실리콘 부른 산화법(LOCAl Oxidation of Sil. 이하 "LOCOS"라 한다)이 가장 많이 사용되고 있다.

상기 LOCOS 소자분리는 실리콘 기판 상에 패드 산화막 및 질화막을 차례로 형성하는 단계, 상기 질화막을 패터닝하는 단계 및 실리콘 기판을 선택적으로 산화시켜 필드 산화막을 형성하는 단계로 이루어진다. 그러나, 상기 LOCOS 소자분리에 의하면, 실리콘 기판의 선택적 산화시 마스크로 사용되는 질화막 하부에서 패드 산화막의 측면으로 산소가 침투하면서 필드 산화막의 끝부분에 버즈 비크(bird's beak)가 발생하게 된다. 이러한 버즈 비크에 의해 필드 산화막이 버즈 비크의 길이만큼 액티브 영역으로 확장되기 때문에, 채널 길이가 짧아져서 문턱전압(threshold voltage)이 증가하는 소위 "협채널 효과(narrow channel effect)"가 유발되어 트랜지스터의 전기적 특성을 악화시킨다. 특히, 상기 LOCOS 소자분리는 채널 길이가  $0.3\mu\text{m}$  이하로 감소함에 따라 액티브 영역 양쪽의 필드 산화막이 뚫어버리는 펀치스루(punchthrough)가 발생하여 액티브 영역의 폭이 확보되지 않는 등 그 한계점을 나타내고 있다.

따라서, 본 분야에서는 상기 LOCOS 소자분리방법의 단점을 보완시킨 또 다른 소자분리막 제조 방법으로서, 질화막 하부에 산화 완충막(oxidation buffer layer)으로서 기능하는 폴리실리콘을 형성하는 변형된 LOCOS 소자분리법인 PBL(Polysilicon Buffered LOCOS)공정 또는 PSL(Poly Spacer LOCOS)공정을 도입하였다. 상기한 PBL 공정이나 PSL 공정에서는 LOCOS 소자분리방법에 의해 형성된 소자분리막에 비해 버즈 비크의 발생은 다소 감소되는 잇점은 얻을 수 있으나, 반도체 기판과의 단차가 심해져 후속의 공정에서 불량률을 유발시키는 단점이 있다.

그러므로,  $0.25\mu\text{m}$  이하의 디자인-룰로 제조되어지는 반도체 장치에서는 얇은 트렌치 소자분리 제조 방법이 가장 이상적인 소자분리막 제조 방법으로서 이용되고 있다.

도 1a 내지 도 1c는 종래 방법에 의한 반도체 장치의 트렌치 소자분리 방법을 설명하기 위한 단면도들이다.

먼저, 도 1a를 참조하면, 실리콘 기판(10)의 상부에 패드 산화막(12)을 약 100~300 Å 두께로 성장시킨 뒤, 그 상부에 질화막(14)을 약 1000~2000 Å의 두께로 형성한다. 이어서, 상기 질화막(14)의 상부에 감광막(도시하지 않음)을 형성한 뒤, 액티브 영역의 상부에만 상기 감광막 패턴이 존재하도록 사진 및 현상공정을 실시한다. 그리고 나서, 상기 감광막 패턴을 식각 마스크로서 이용하여 상기 질화막(14) 및 패드 산화막(12)을 건식 식각한다.

이어서, 상기 감광막 패턴을 제거한 후, 상기 건식 식각된 질화막(14) 및 패드 산화막(12)을 식각 마스크로서 이용하여 상부 표면이 노출되어 있는 실리콘 기판(10)을 소정 깊이로 건식 식각함으로써 트렌치(16)를 형성한다. 그리고 나서, 상기 트렌치(16)가 형성되어 있는 반도체 기판(10) 전면 상부에 USG(Undoped Silicon Glass)를 증착하여 제1절연막(18)을 형성한다.

도 1b를 참조하면, 상기 제1절연막(18)을 아르곤 가스를 이용하여 스퍼터링 식각을 한다. 여기서, 상기 아르곤 가스를 이용한 스퍼터링 식각은 약  $45^\circ$  각도로 식각이 진행되므로 상기 트렌치(16) 상부의 제1절연막(18)이 다른 영역에 비해 보다 많이 식각되어 하부의 질화막(14) 등이 노출된다. 그러나, 트렌치(16) 하부의 제1절연막(18)은 완전히 식각되지 못하고 잔존하게 되므로 상기 트렌치(16)의 전체적인 중형비는 감소하게 된다.

도 1c를 참조하면, 스퍼터링 식각을 완료한 후 상기 결과판의 상부에 제2절연막(20)을 화학기상증착(CVD) 방법에 의해 상기 트렌치(16)를 완전히 충전시킬 수 있을 정도의 두께로 증착한다. 이어서, 도시하지는 않았으나 상기 제2절연막(20)을 평탄화시킴으로써, 트렌치 소자분리를 완성한다.

상술한 종래의 트렌치 소자분리 방법에 의하면, 트렌치 소자분리막 형성하기 위한 트렌치(16) 내부에 제1절연막(18)을 증착한 뒤, 트렌치(16) 상부의 제1절연막(18)을 식각하게 되므로 트렌치(16)의 중형비를 최초 형성시 보다 감소시킬 수 있는 효과가 있다. 그러나, 상기 제1절연막(18)을 식각하기 위한 아르곤 스퍼터링 식각시 트렌치(16)의 상부의 제1절연막(18)을 완전히 제거할 수 있다는 보장은 없으며, 만약 아르곤 스퍼터링 식각후에 트렌치(16) 상부에 제1절연막(18)이 조금이라도 잔존할 경우 트렌치(16)의 중형비를 더욱 증가시키는 결과를 낳게 된다.

한편, 트렌치(16) 상부의 제1절연막(18)을 완전히 제거하기 위해 제1절연막을 얇게 형성할 경우, 아르곤 스퍼터링 식각시 트렌치(16) 상부가 손상될 우려가 있으며, 트렌치(16) 하부에도 트렌치(16)의 중형비를 감소시킬 수 있을 만큼의 제1절연막(18)이 잔류하지 못한다. 따라서, 도 1c에 도시된 것과 같이, 트렌치 소자분리 내부에 공기로 인한 기공(void: 참조번호 "A")가 형성되어 소자분리 특성을 저하시키게 된다.

#### 발명이 이루고자 하는 기술적 과제

따라서 본 발명의 목적은, 기공 형성을 방지하여 소자분리 특성을 향상시킬 수 있는 트렌치 소자분리 방법을 제공하는데 있다.

상기 목적을 달성하기 위하여 본 발명은, 반도체 장치의 트렌치 소자분리 방법에 있어서: 반도체 기판의 소정영역에 소자분리용 트렌치를 형성하는 단계와; 상기 트렌치의 중형비를 감소시키기 위해서, 상기 트렌치 내부에 제1절연막을 형성하는 단계와; 상기 제1절연막이 형성되어 있는 트렌치가 완전히 충전되도록 제2절연막을 형성하는 단계를 포함함을 특징으로 하는 반도체 장치의 트렌치 소자분리 방법을 제공한다.

바람직하게는, 상기 제1절연막은 상기 트렌치가 형성되어 있는 반도체 기판에 절연막은 진공으로 증착한 뒤, 증착된 두께만큼 상기 절연막을 습식 식각함에 의해 형성한다.

바람직하게는, 상기 절연막은 트렌치의 가장 협소한 영역의 입체치수의 2배 이상의 두께로 형성하며, LAL 또는 HF를 이용하여 습식 식각한다.

### 발명의 구성 및 작용

이하, 첨부한 도면을 참조하여 본 발명의 실시예를 상세히 설명하고자 한다.

도 2a 내지 도 2d는 본 발명의 실시예에 따른 트렌치 소자분리 방법을 설명하기 위한 단면도들이다.

도 2a를 참조하면, 예컨대 피형의 실리콘 기판(100)에 염산화 공정을 실시하여 패드 산화막(102)을 약 100~300 Å 두께로 성장시킨다. 그리고 나서, 상기 패드 산화막(102) 상부에 질화막(104)을 저압화학기상증착(LPCVD: Low Pressure Chemical Vapor Deposition) 방법에 의해 약 1000~2000 Å의 두께로 형성한다. 이어서, 상기 질화막(104)의 상부에 합성영역을 정의하는 감광막(도시하지 않음) 패턴을 형성한 뒤, 이를 자기정렬된 식각 마스크로서 이용하여 상기 질화막(104) 및 패드 산화막(102)을 건식 식각한다.

이어서, 상기 감광막 패턴을 에칭 및 스트립 공정으로 완전히 제거한 후, 상기 건식 식각된 질화막(104) 및 패드 산화막(102) 패턴을 자기정렬된 식각 마스크로서 이용하여 실리콘 기판(100)을 소정 길이로 건식 식각함으로써 트렌치(106)를 형성한다. 그리고 나서, 상기 트렌치(106)가 형성되어 있는 반도체 기판(10) 상부에 USG 또는 스피ن-온-글래스 타입의 산화막과 같이 필링특성이 우수한 절연막으로 제1절연막(108)을 형성한다.

그 결과, 상기 질화막(104) 상부로 제1절연막(108)이 형성됨은 물론, 상기 트렌치(106)의 내부가 제1절연막(108)으로 충전된다. 이때, 도 2a에 도시되어 있는 것과 같이, 상기 트렌치(106)의 높은 증함비로 인하여 제1절연막(108)이 충전되어 있는 트렌치(106) 내부에 기공에 의한 기공(참조부호 "B")가 형성되어 있다. 그러나, 상기 기공은 후속의 습식 공정을 통해 제거되므로 트렌치 소자분리 특성에 악영향을 미치지 않게 된다.

이때, 상기 제1절연막(108)은 상기 트렌치(106)의 가장 협소한 영역의 입체치수에 비해 약 2배 이상의 두께를 가지도록 형성하는 것이 바람직하다. 그리고, 상기 트렌치(106)의 측면으로 노출되어 있는 반도체 기판(100)을 보호하기 위해 실리콘나이트라이드(SiN)막을 보호막으로서 더 증착할 수도 있다.

도 2b를 참조하면, 상기 제1절연막(108)에 습식 식각공정을 실시한다. 이때, 상기 습식 식각공정은 LAL(NH<sub>4</sub>F+HF) 또는 HF를 이용하여 진행하며, 상기 트렌치(106)의 상부가 노출되고 트렌치 내부의 기공이 제거될 때까지 진행하는 것이 바람직하다.

이와 같이, 상기 트렌치(106) 하부에 소정두께의 제1절연막(108a)이 잔류함으로써, 최초 형성된 상기 트렌치(106)의 증함비가 감소된다.

도 2c를 참조하면, 상기 제1절연막(108a)이 형성되어 있는 결과물의 상부에 트렌치 소자분리를 완성하기 위한 제2절연막(110)을 증착한다. 예컨대, 상기 제2절연막(110)은 상기 제1절연막(108a)과 동일한 종류의 절연막으로 형성하는 것이 바람직하나, 상기 제1절연막(108a)과 동일하지 않은 절연막으로 형성하여도 무관하다. 다만, 상기 제1절연막(108a)과 같이 필링특성이 우수한 USG 또는 스피ن-온-글래스 타입의 산화막을 이용하여 상기 트렌치(106) 내부가 완전히 충전될 때까지 증착한다.

도 2d를 참조하면, 상기 제2절연막(110)을 화학기계적연마(CMP: Chemical Mechanical Polishing) 공정으로 상기 질화막(104)이 노출되도록 평탄화시킨다. 그 결과, 제1절연막(108a) 및 제2절연막(110a)으로 이루어지는 트렌치 소자분리가 완성된다.

상기와 같이, 본 발명에서는 실리콘 기판의 소정영역에 트렌치를 형성한 뒤, 상기 트렌치 하부에 제1절연막을 형성함으로써, 상기 트렌치의 증함비를 최초 형성시 보다 감소시킨다. 그리고 나서, 상기 트렌치 내부를 완전히 충전시킬 수 있는 제2절연막을 형성함으로써, 기공 또는 패임(seaming)현상이 발생되지 않는 트렌치 소자분리를 완성하게 된다.

또 다른 실시예로서, 트렌치가 형성되어 있는 반도체 기판에 제1절연막을 형성한 뒤, 아르곤 가스를 이용한 스퍼터링 식각공정을 실시하여 상기 트렌치 상부의 제1절연막을 완전히 제거한다. 이어서, 상기 결과물의 상부에 제2절연막을 형성한 뒤, 습식 식각공정을 실시하여 트렌치의 증함비를 감소시켜 기공 또는 패임현상이 발생되지 않는 트렌치 소자분리를 완성하는 방법이 있다.

상술한 바와 같이, 본 발명의 바람직한 실시예를 참조하여 설명하였지만 해당 기술 분야의 숙련된 당업자라면 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

### 발명의 효과

상술한 바와 같이 본 발명에서는, 반도체 기판의 소정영역에 소자분리를 제조하기 위한 트렌치를 형성한 뒤, 상기 트렌치 내부에 1

차적으로 절연막을 형성시켜 트렌치의 증퐁비율 감소시킨다. 이처럼 증퐁비가 감소된 트렌치 내부에 2차적으로 절연막을 충전하여 트렌치 소자분리란 완성하게 되므로, 트렌치 소자분리 내부에 기공 또는 패임현상이 발생되는 것을 방지할 수 있으며, 그 결과 트렌치 소자분리의 특성이 향상되는 효과가 있다.

## (57) 청구의 범위

### 청구항1

반도체 장치의 트렌치 소자분리 방법에 있어서:반도체 기판의 소정영역에 소자분리용 트렌치를 형성하는 단계와;상기 트렌치의 증퐁비를 감소시키기 위해서, 상기 트렌치 내부에 제1절연막을 형성하는 단계와;상기 제1절연막이 형성되어 있는 트렌치가 완전히 충전되도록 제2절연막을 형성하는 단계를 포함함을 특징으로 하는 반도체 장치의 트렌치 소자분리 방법.

### 청구항2

제 1항에 있어서, 상기 제1절연막을 형성하는 단계는:상기 트렌치가 형성되어 있는 반도체 기판에 절연층을 전체적으로 증착하는 단계와,상기 절연층을 증착된 두께만큼 식각하는 단계를 포함함을 특징으로 하는 반도체 장치의 트렌치 소자분리 방법.

### 청구항3

제 2항에 있어서, 상기 절연층을 트렌치의 가장 협소한 영역의 입계치수의 약 2배 이상의 두께로 형성함을 특징으로 하는 반도체 장치의 트렌치 소자분리 방법.

### 청구항4

제 3항에 있어서, 상기 절연층을  $\text{LAL}(\text{NH}_4\text{F}+\text{HF})$  또는  $\text{HF}$ 를 이용하여 습식 식각함을 특징으로 하는 반도체 장치의 트렌치 소자분리 방법.

### 청구항5

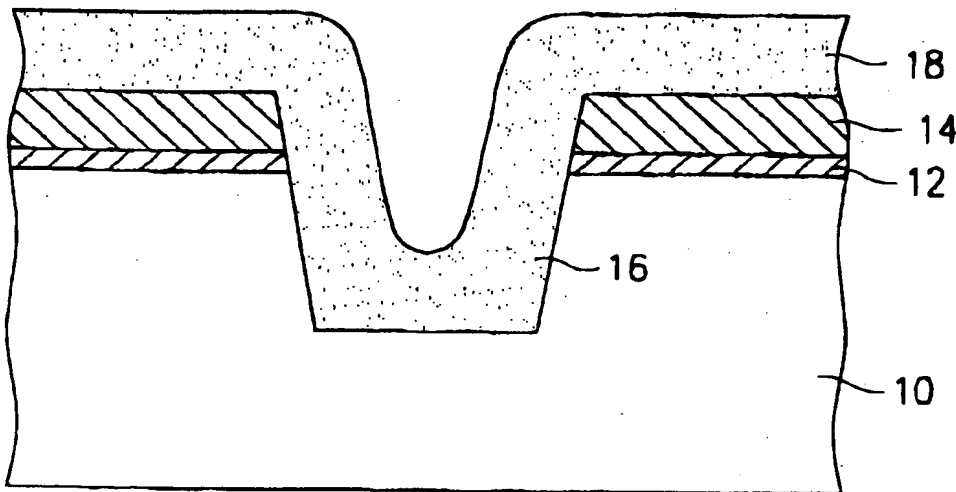
제 1항에 있어서, 상기 반도체 기판은, 그 상부에 패드 산화막 및 절화막을 구비함을 특징으로 하는 반도체 장치의 트렌치 소자분리 방법.

### 청구항6

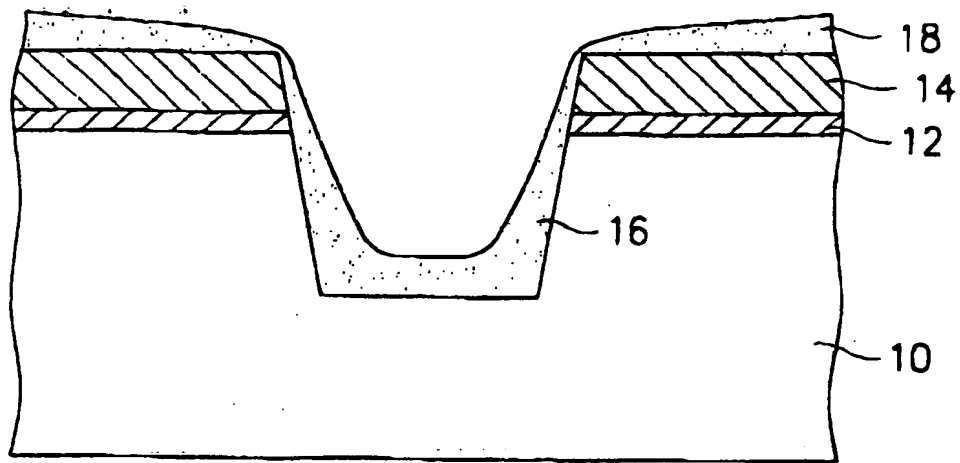
제 1항에 있어서, 상기 제1절연막을 형성하기 전에, 상기 트렌치 내부에 노출된 반도체 기판을 보호하기 위하여 실리콘나이트라이드막을 형성하는 단계를 더 포함함을 특징으로 하는 반도체 장치의 트렌치 소자분리 방법.

## 도면

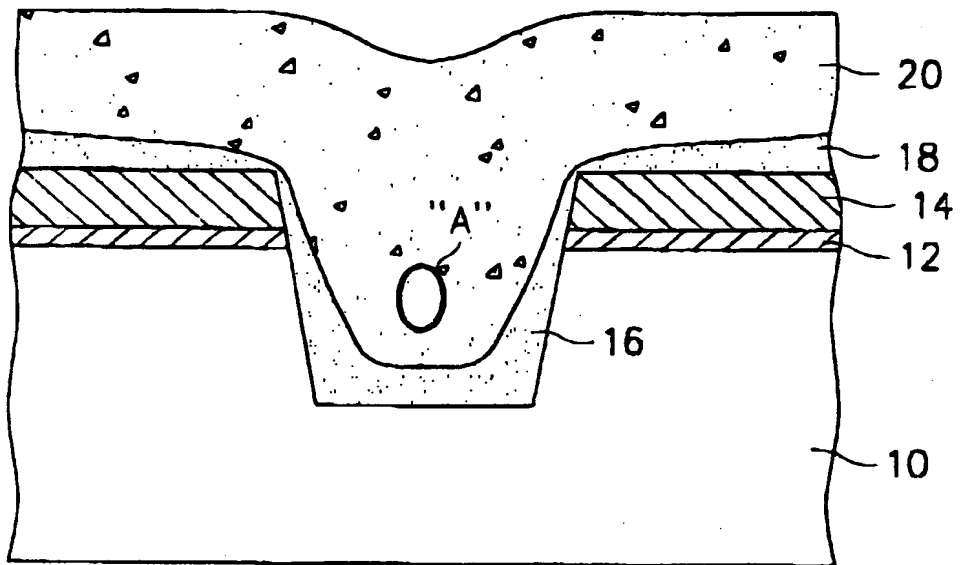
도면1a



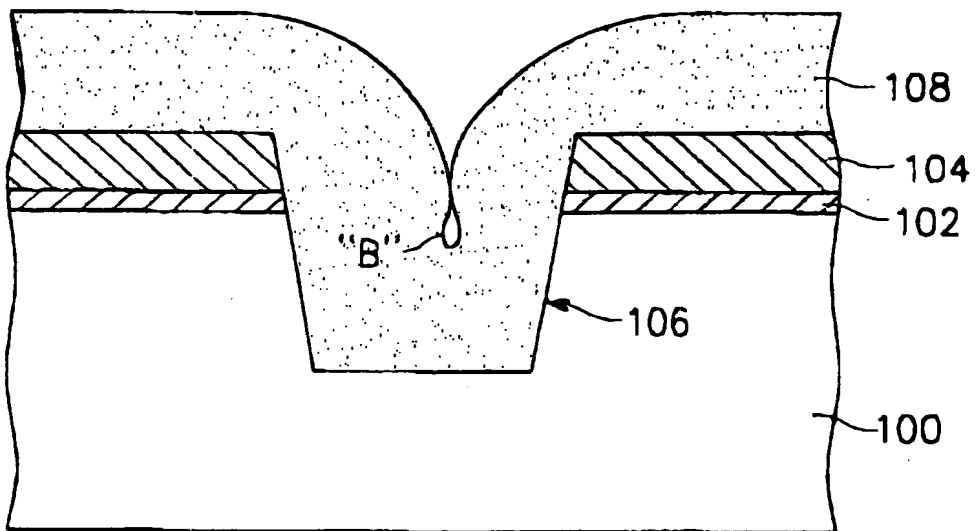
도면1b



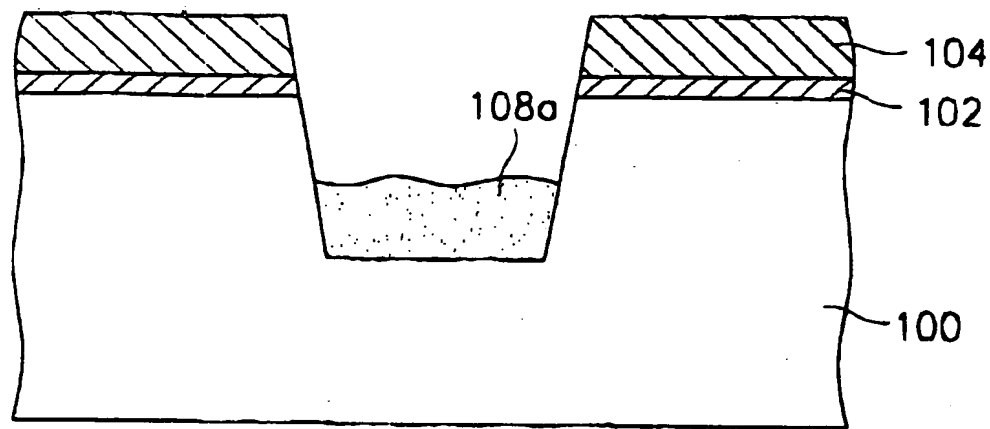
도면1c



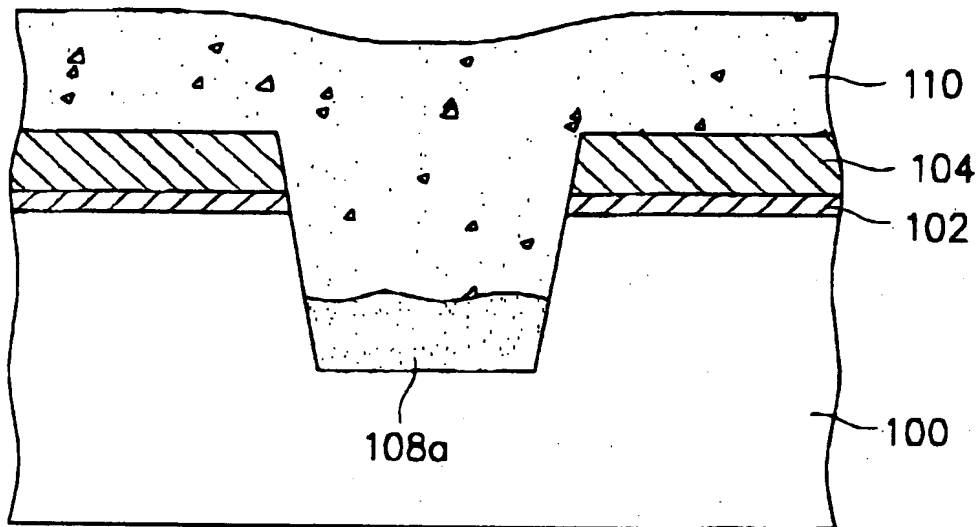
도면2a



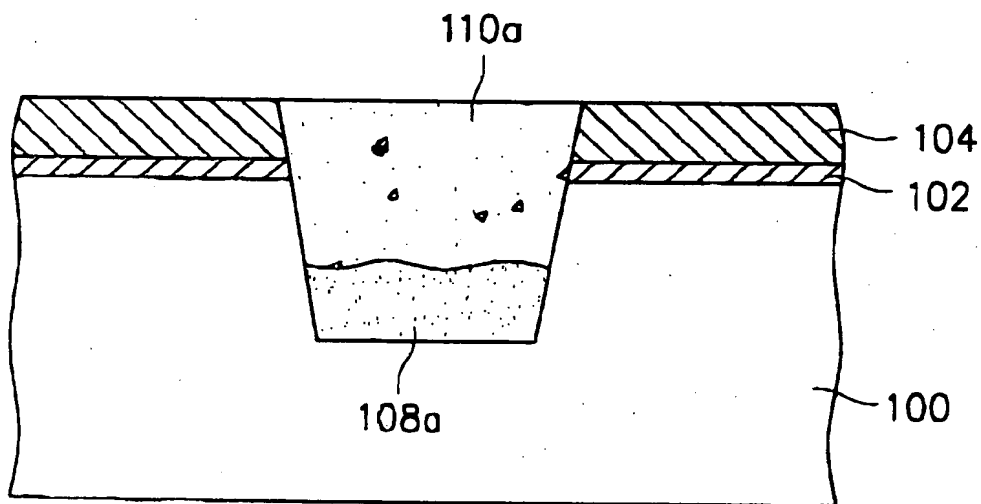
도면2b



도면2c



도면2d



HSB/SSK2005-4-21912-0/AKI

(19)大韓民国特許庁(KR)  
(12)公開特許公報(A)

(51) Int. Cl. <sup>6</sup>  
H01L 21/762

(11)公開番号 特 2000-0065984  
(43)公開日付 2000 年 11 月 15 日

---

(21)出願番号 10-1999-12791

(22)出願日付 1999 年 4 月 12 日

---

(71)出願人: 三星電子株式会社

(72)発明者: イ・スンジェ 外 2 人

審査請求なし

---

(54)半導体装置のトレンチ素子分離方法

**[要約]**

本発明は半導体装置のトレンチ素子分離方法に関するものである。本発明によれば、半導体基板の所定領域に素子分離を製造するためのトレンチを形成した後、上記トレンチ内部に一時的に絶縁膜を形成させてトレンチの縦横比を減少させる。それから、上記縦横比が減少したトレンチ内部に 2 次的に絶縁膜を充填してトレンチ素子分離を完成するのでトレンチ素子分離内部に気孔または凹み現象が発生することを防止してトレンチ素子分離の特性を向上させるようになる。

**[図面の簡単な説明]**

図 1a～図 1c は従来の方法による半導体装置のトレンチ素子分離方法を説明するための断面図である。

図 2a～図 2d は本発明の実施例によるトレンチ素子分離方法を説明するための断面図である。



## 【発明の詳細な説明】

図 2a を参照すれば、例えば P 型のシリコン基板(100)に熱酸化工程を実施してパッド酸化膜(102)を約 100~300 Å の厚さに成長させる。それから、上記パッド酸化膜(102)上部に窒化膜(104)を低圧化学気相沈積(LPCVD: Low Pressure Chemical Vapor Deposition)方法により約 1000~2000 Å の厚さに形成する。続いて、上記窒化膜(104)の上部に活性領域を定義する感光膜(図示しない)パターンを形成した後、これを自己整列されたエッチングマスクとして用いて上記窒化膜(104)及びパッド酸化膜(102)を乾式エッチングする。

続いて、上記感光膜パターンエッチング及びストリップ工程で完全に除去した後、上記の乾式エッチングされた窒化膜(104)及びパッド酸化膜(102)パターンを自己整列されたエッチングマスクとして用いてシリコン基板(100)を所定深さで乾式エッチングすることにより、トレンチ(106)を形成する。それから、上記トレンチ(106)が形成されている半導体基板(10)上部に USG またはスピーン-オン-ガラスタイプの酸化膜のようにフィリング特性に優れた絶縁膜に第 1 絶縁膜(108)を形成する。

その結果、上記窒化膜(104)上部に第 1 絶縁膜(108)が形成されるのはもちろん、上記トレンチ(106)の内部が第 1 絶縁膜(108)で充填される。この時、図 2a に示されているのと同じく、上記トレンチ(106)の高い縦横比によって第 1 絶縁膜(108)が充填されているトレンチ(106)内部に空気による気孔(参照符号 B)が形成されている。しかし、上記気孔は後続の湿式工程を通じて除去されるのでトレンチ素子分離特性に悪影響を及ぼさないようになる。

この時、上記第 1 絶縁膜(108)は上記トレンチ(106)の最も狭い領域のしきい値数に比べて約 2 倍以上の厚さを有するように形成することが望ましい。そして、上記トレンチ(106)の側壁に露出されている半導体基板(100)を保護するためにシリコンナイトリド(SiN)膜を保護膜としてさらに蒸着することもできる。

図 2b を参照すれば、上記第 1 絶縁膜(108)に湿式エッチング工程を実施する。

この時、上記湿式エッチング工程は  $\text{LAL}(\text{NH}_4\text{F}+\text{HF})$  または  $\text{HF}$  を用いて進行して、上記トレンチ(106)の上部が露出されてトレンチ内部の気孔が除去されるまで進行することが望ましい。

このように、上記トレンチ(106)下部に所定厚さの第1絶縁膜(108a)が残留することによって、最初、形成された上記トレンチ(106)の縦横比が減少する。

図2cを参照すれば、上記第1絶縁膜(108a)が形成されている結果物の上部にトレンチ素子分離を完成するための第2絶縁膜(110)を蒸着する。例えば、上記第2絶縁膜(110)は上記第1絶縁膜(108a)と同一の種類の絶縁膜で形成することが望ましいが、上記第1絶縁膜(108a)と同一でない絶縁膜で形成しても関係がない。ただし、上記第1絶縁膜(108a)のようにフィリング特性に優れたUSGまたはスピーン-オン-ガラスタイプの酸化膜を利用して上記トレンチ(106)内部が完全に充填されるまで蒸着する。

図2dを参照すれば、上記第2絶縁膜(110)を化学機械的研磨(CMP:Chemical Mechanical Polishing)工程で上記窒化膜(104)が露出されるように平坦化させる。その結果、第1絶縁膜(108a)及び第2絶縁膜(110a)からなるトレンチ素子分離が完成する。

上記の通り、本発明ではシリコン基板の所定領域にトレンチを形成した後、上記トレンチ下部に第1絶縁膜を形成することによって、上記トレンチの縦横比を最初の形成時より減少させる。そうしてから、上記トレンチ内部を完全に充填させることができる第2絶縁膜を形成することによって、気孔または凹み(seaming)現象が発生しないトレンチ素子分離を完成するようになる。

もう一つの実施例として、トレンチが形成されている半導体基板に第1絶縁膜を形成した後、アルゴンガスを用いたスパッタリングエッチング工程を実施して上記トレンチ上部の第1絶縁膜を完全に除去する。続いて、上記結果物の上部に第2絶縁膜を形成した後、湿式エッチング工程を実施してトレンチの縦横

比を減少させて気孔または凹み現象が発生しないトレンチ素子分離を完成する方法がある。

上述した通り、本発明の望ましい実施例を参照して説明したが、該当技術分野の熟練した当業者であれば下記の特許請求の範囲に記載された本発明の思想及び領域から逸脱しない範囲内で本発明を多様に修正及び変更させることができることを理解することができる。

#### **[発明の効果]**

上述した通り、本発明では、半導体基板の所定領域に素子分離を製造するためのトレンチを形成した後、上記トレンチ内部に一時的に絶縁膜を形成させてトレンチの縦横比を減少させる。このように縦横比が減少したトレンチ内部に、2次的に絶縁膜を充填してトレンチ素子分離を完成するようになるので、トレンチ素子分離内部に気孔または凹み現象が発生することを防止することができ、その結果トレンチ素子分離の特性が向上する効果がある。

#### **[特許請求の範囲]**

##### **[請求項 1]**

半導体装置のトレンチ素子分離方法において、半導体基板の所定領域に素子分離用トレンチを形成する段階と;上記トレンチの縦横比を減少させるために、上記トレンチ内部に第 1 絶縁膜を形成する段階と;上記第 1 絶縁膜が形成されているトレンチが完全に充填されるように第 2 絶縁膜を形成する段階を含むことを特徴とする半導体装置のトレンチ素子分離方法。